

Partiel - Architecture des Ordinateurs

Mardi 10 Mai 2011

Documents de cours autorisés. Calculatrices interdites.

Durée 2 heures

Tous les résultats doivent être justifiés.

1 Exercices (6 points)

1. (1 point) Donnez la représentation en base 3 des entiers suivants : 9_{10} , 45_{10} .

Solution: 100_3 , 1200_3

2. (1 point) Donnez la représentation complément à 2 sur 8 bits des entiers -64_{10} et 118_{10} .

Solution:

$$64_{10} = 01000000_2 \quad (1)$$

$$-64_{10} = 10111111 + 1 = 11000000_{CA2} \quad (2)$$

$$118_{10} = 01110110_{CA2} \quad (3)$$

3. (2 points) Soit la représentation demi précision sur 16 bits :

S (Signe)	E (Exposant)	P (Pseudomantisse)
1 bit	5 bits	10 bits

Convertissez le décimal 31.91 dans cette représentation (en utilisant si nécessaire l'arrondi au plus près).

Solution: $31 = 11111_2$

$$.91 * 2 = 1.82$$

$$.82 * 2 = 1.64$$

$$.64 * 2 = 1.28$$

$$.28 * 2 = 0.56$$

$$.56 * 2 = 1.12$$

$$.12 * 2 = 0.24$$

$$.24 * 2 = 0.48$$

$$.48 * 2 = 0.96$$

$$.96 * 2 = 1.92$$

$$.92 * 2 = 1.84$$

Mantisse 11111.1110100011

$$1.1111110100011 * 2^4$$

Arrondi au plus près: 1.111111010
Pseudo-mantisse: 111111010

Exposant : 4, 15+4 = 19 -> 10011

Résultat : 0 10011 111111010

4. (2 points) En utilisant les règles de l'algèbre de Boole simplifiez les expressions suivantes (précisez la règle utilisée) :
- $B + A.\bar{B} + \bar{A}.\bar{B}$
 - $A.B + B.C + \bar{A}.B.\bar{C}$

Solution:

$$B + A.\bar{B} + \bar{A}.\bar{B} = B + \bar{B}(A + \bar{A}) \quad (4)$$

$$= B + \bar{B} = 1 \quad (5)$$

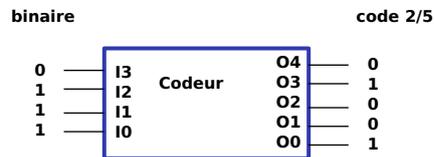
$$A.B + B.C + \bar{A}.B.\bar{C} = B(A + C + \bar{A}.\bar{C}) \quad (6)$$

$$= B(A + C + \overline{A + C}) = B \quad (7)$$

2 Codeur 2/5 (6 points)

La table ci-dessous associe chaque chiffre entre 0 et 9 avec sa représentation en code 2 parmi 5 :

binaire ($I_3 I_2 I_1 I_0$)	2/5 ($O_4 O_3 O_2 O_1 O_0$)
0 (0000)	01100
1 (0001)	11000
2 (0010)	10100
3 (0011)	10010
4 (0100)	01010
5 (0101)	00110
6 (0110)	10001
7 (0111)	01001
8 (1000)	00101
9 (1001)	00011



On souhaite réaliser un circuit codeur. Celui-ci disposera de quatre entrées (I_0, I_1, I_2, I_3) et de cinq sorties (O_0, O_1, O_2, O_3, O_4). Lorsque l'on présente un nombre binaire sur les entrées, le circuit codeur produira le code 2 parmi 5 correspondant sur les sorties. Par exemple, sur la figure ci-dessus on présente le chiffre 7 sur les entrées. Si une valeur > 9 est présentée sur l'entrée, le comportement de la sortie n'est pas spécifié.

Soit $o_j(I_3, I_2, I_1, I_0)$ la fonction booléenne qui calcule la valeur de O_j en fonction des entrées.

1. (1 point) Écrivez o_4 sous la forme :

$$o_4 = \sum m(a_1, a_2, \dots) + \sum d(b_1, b_2, \dots)$$

où les a_i sont les minterms et les b_j sont les « don't care ».

Solution:

$$o_4 = \sum m(1, 2, 3, 6) + \sum d(10, 11, 12, 13, 14, 15)$$

2. (3 points) Simplifiez la fonction o_4 en utilisant la méthode de Quine-Mc Cluskey.

Solution:

Size 1 primes			Size 2 primes		Size 4 primes	
Number of 1s	Minterm	θ -cube	Minterm	1-cube	Minterm	2-cube
1	m1	0001	m(1,3)	00-1*	m(2,3,10,11)	-01-*
	m2	0010	m(2,3)	001-	m(2,6,10,14)	--10*
			m(2,6)	0-10		
			m(2,10)	-010		
2	m3	0011	m(3,11)	-011	m(10,11,14,15)	1-1-*
	m6	0110	m(6,14)	-110	m(12,13,14,15)	11--*
	m10	1010	m(10,11)	101-		
	m12	1100	m(10,14)	1-10		
			m(12,13)	110-		
		m(12,14)	11-0			
3	m11	1011	m(11,15)	1-11		
	m13	1101	m(13,15)	11-1		
	m14	1110	m(14,15)	111-		
4	m15	1111				

	1	2	3	6
m(1,3)	X		X	
m(2,3,10,11)	X	X		
m(2,6,10,14)	X		X	
m(10,11,14,15)				
m(12,13,14,15)				

2 implicants sont essentiels :

$$o_4 = I_0 \bar{I}_2 \bar{I}_3 + \bar{I}_0 I_1$$

3. On donne $o_0 = I_3 + I_1 \cdot I_2$. Proposez un schéma du circuit qui réalise la fonction o_0 :

- (1 point) en utilisant uniquement des portes OU et NON ;
- (1 point) en utilisant uniquement des portes NAND.

2.3 $o_0 = I_3 + I_1 \cdot I_2$

a) $I_3 + I_1 \cdot I_2 = I_3 + \overline{\overline{I_1 + I_2}}$ (De Morgan)

b) $I_3 + I_1 \cdot I_2 = I_3 + \overline{\overline{I_1 \cdot I_2}} = \overline{\overline{I_3} \cdot \overline{I_1 \cdot I_2}} = \overline{\overline{I_3} \cdot \overline{I_1} \cdot \overline{I_2}}$

Solution:

3 Logique Séquentielle (8 points)

3.1 Compteur (4 points)

On souhaite réaliser un compteur qui produit la séquence suivante de manière cyclique :

01, 11, 00, 10

Le compteur sera muni d'une entrée pour horloge et de deux sorties.

On notera $Q_1 Q_0$ l'état courant du compteur et $Q_1^+ Q_0^+$ l'état suivant du compteur. Par exemple lorsque $Q_1 Q_0 = 00$ alors $Q_1^+ Q_0^+ = 10$.

1. (0.5 point) Dressez une table de vérité pour les signaux Q_1, Q_0, Q_1^+, Q_0^+ .

Solution:

Q		Q+
--+		--
10		10
--+		--
01		11
11		00
00		10
10		01

2. (1 points) Donnez une expression minimale booléenne pour $Q_0^+(Q_1, Q_0)$ et $Q_1^+(Q_1, Q_0)$.

Solution:

$$Q_1^+ = \overline{Q_1}$$

$$Q_0^+ = Q_0 \oplus Q_1$$

3. (1.5 point) Réalisez le circuit du compteur en utilisant des portes logiques et des bascules D.
 4. (1 point) On dispose maintenant d'une entrée reset RST . On souhaite mettre le compteur à 01 lorsque $RST = 1$. Comment modifier le circuit précédent pour rajouter cette fonctionnalité?

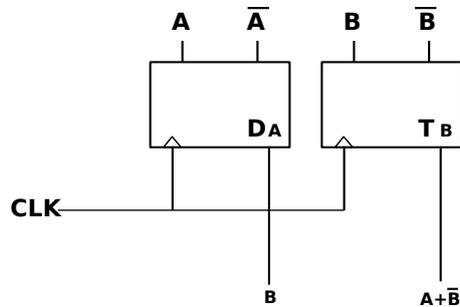
3.1.3 $Q_1^+ = \overline{Q_1}$ et $Q_0^+ = Q_0 \oplus Q_1$

2 états \Rightarrow 2 bits \Rightarrow 2 bascules D, $D_1 = Q_1^+$ et $D_0 = Q_0^+$

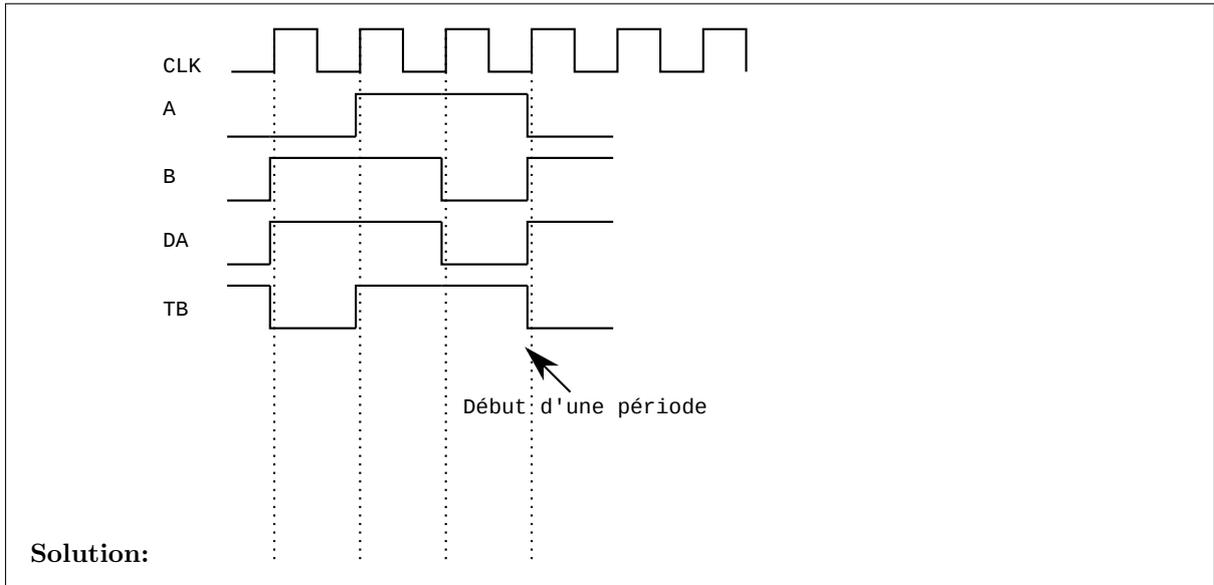
Solution:

3.2 Chronogramme (2 points)

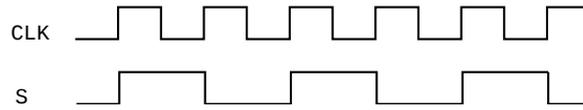
Soit le circuit suivant composé d'une bascule D et d'une bascule T :



Lors de la mise sous tension du circuit A et B valent 0. Tracez le chronogramme des signaux A, B, D_A et T_B sur une période.



3.3 Diviseur d'horloge (2 points)



Proposez un circuit composé de bascule(s) D qui génère le signal S à partir de l'entrée horloge CLK.

